

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01099248 A**

(43) Date of publication of application: **18.04.89**

(51) Int. Cl.

H01L 25/08

H01L 23/28

(21) Application number: **62258632**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: **13.10.87**

(72) Inventor: **KOSUGI RYUICHI**

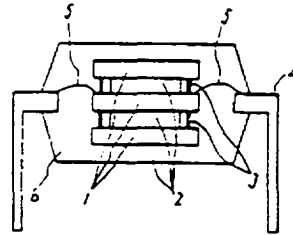
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To enhance maximum memory capacity and to enhance a mounting density by superposing a semiconductor element and a spacer made of an insulation material in a laminar state in a package.

CONSTITUTION: A semiconductor element 1 and a spacer 2 made of an insulation material are superposed in a laminar state in a package. Resin 6 seals the element 1, the spacer 2, the inner terminal of an external lead 4 and fine metal wirings 5. Thus, maximum memory capacity is enhanced, and its mounting density is raised.

COPYRIGHT: (C)1989,JPO&Japio



SEMICONDUCTOR DEVICES
[Handotai Souchi]

Ryuichi Kosugi, et al.

Translated by: U.S.- Japan Translations

- (19) Japan Patent Office (JP)
- (12) Official Gazette for Unexamined Patent Applications (A)
- (11) Kokai (Unexamined Patent Application) No. Hei 1-99248
- (43) Kokai Publication Date: April 18, 1989
- (21) Application No. Sho 62-258632
- (22) Application Date: October 13, 1987
- (72) Inventors: Ryuichi Kosugi
 Sanyo Denki K.K. Itami Seisakusho
 4-1 Mizuhara Itami-shi, Hyogo Prefecture,
 Japan
- (71) Applicants: Sanyo Denki K.K.
 2-2-3 Marunouchi, Chiyoda-ku, Tokyo, Japan
- (51) IPC: H 01 L 25/08
 23/28
- (54) Semiconductor Devices

Specification

1335

1. Title of the Invention:

Semiconductor Devices

2. Claims:

Semiconductor devices consisting of plural number of semiconductor elements, spacers made of insulating materials which are installed among these plural numbers of semiconductor elements, connection parts which mutually connect plural numbers of electrodes installed at the aforementioned semiconductor elements, plural numbers of external lead-through conductors having internal terminals which are connected to the aforementioned semiconductor elements using metal fine wires, and a resin which encloses the aforementioned semiconductor elements, spacers, connection parts, metal fine wires, and internal terminals of the external lead-through conductors.

3. Detailed Description of the Invention

(Industrial Field of Application)

This invention concerns semiconductor devices. In particular, it concerns a structure formed by laminating spacers consisting of a semiconductor elements and insulating materials in the package interior.

(Prior Art)

Figure 2 is a side cross-sectional view of conventional dynamic random access memory (D-RAM). In this figure, (1) is a

¹* Numbers in the margin indicate pagination in the foreign text.

semiconductor element in which circuits are configured inside, (4) is an external lead-through conductor, (5) a metal fine wire electrically connecting between the semiconductor element (1) and the external lead-through conductor (4), (6) is a resin which encloses the aforementioned components (1) through (5), and (7) is a die pad on which a semiconductor element (1) is loaded.

(Problem That This Invention Intends to Solve)

In the conventional semiconductor devices, a semiconductor element (1) can be installed only on one main side of the die pad or on both sides as mentioned above, and there is the problem that memory capacities or functions are limited, and the mounting density is low.

This invention intended to solve the above-mentioned problem. The purpose is to obtain semiconductor devices with improved maximum memory capacities and functions in the semiconductor device unit.

(Means to Solve the Problems)

This invention's semiconductor devices consist of spacers made of insulating materials which are installed at plural semiconductor elements, and connection parts which mutually connect plural numbers of electrodes installed at the aforementioned semiconductor elements.

[Actions]

/236

In this invention's semiconductor devices, plural numbers of semiconductor elements can be connected by spacers made of insulating materials.

[Examples]

An example of this invention will be explained in detail by referring to the attached figures.

In Figure 1, the symbols used represent the following parts:
(1): a semiconductor element, (2): a spacer made of an insulating material, (3): connection parts connecting the semiconductor elements (1), (4): an external lead-through conductor, (5): a metal fine wire which electrically connects between the semiconductor element (1) and the external lead-through conductor (4), and (6): a resin sealing the semiconductor elements (1), spacers (2), internal terminals for the external lead-through conductor (4) and metal fine wire (5). Plural number of electrodes are installed at the semiconductor elements and they are mutually connected electrically using connection parts.

In the above-mentioned example, semiconductor elements are stacked to form three layers and have a wiring of metal fine wires as shown in Figure 1. Spacers are also arranged in the shape shown in the figure. However, the internal structure of the semiconductor devices on which this invention is applied can have a variety of kinds of configurations and shapes. Therefore, this invention is not limited by the above-mentioned examples. In addition, Figure 1 shows a dual inline package type D-RAM, but this invention is not limited by this example.

[Effects of the Invention]

According to this invention, semiconductor elements and spacers made of insulating materials are laminated in the package interior so that maximum memory capacities and functions are improved and the mounting density is increased.

4. Brief Explanation of the Figures

Figure 1 is a side cross-sectional view showing a D-RAM semiconductor device shown as an example of this invention.

Figure 2 is a side cross-sectional view showing a conventional D-RAM semiconductor device.

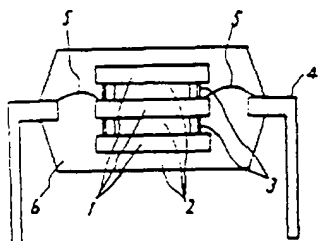
In these figures, the symbols represent the following parts:

(1): a semiconductor element, (2): a spacer, (3): connection parts, (4): an external lead-through conductor, (5): a metal fine wire, and (6): a resin.

The same symbols represent the identical or equivalent parts.

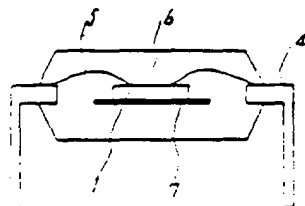
Masuo Oiwa, Patent Attorney

Figure 1



- 1: Semiconductor element
- 2: Spacer
- 3: Connection parts
- 4: External lead-through conductor
- 5: Metal fine wire
- 6: Resin

Figure 2



⑫ 公開特許公報(A) 平1-99248

⑪ Int.Cl.⁴H 01 L 25/08
23/28

識別記号

庁内整理番号

Z-7638-5F
Z-6835-5F

⑬ 公開 平成1年(1989)4月18日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭62-258632

⑯ 出 願 昭62(1987)10月13日

⑰ 発 明 者 小 杉 龍 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

複数の半導体素子と、この複数の半導体素子間に設けられ絶縁材料よりなるスペーサーと、前記半導体素子に設けられた複数の電極を相互に接続する接続部材、前記半導体素子と金属細線により、その内部端子が接続される複数の外部導出導体と、前記半導体素子、スペーサー、接続部材、金属細線および外部導出導体の内部端子を包囲する樹脂とを備えた半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置に関し、そのパッケージ内部の半導体素子と絶縁材料よりなるスペーサーを層状に重ねた構造に関するものである。

〔従来の技術〕

第2図は従来のダイナミック・ランダム・アクセス・メモリー(以下D-RAMと称する)の側

断面図である。図において(1)は内部に回路が構成された半導体素子、(4)は外部導出導体、(5)は半導体素子(1)と外部導出導体(4)を電気的に接続する金属細線、(6)は前記(1)～(5)の部品を包囲する樹脂(7)は半導体素子(1)をのせるダイバットである。

〔発明が解決しようとする問題点〕

従来の半導体装置は以上のように半導体素子(1)をダイバット(7)の一主面、また側面にしか取り付けることができないため、例えば記憶容量または機能に限られ、実装密度が低いという問題があった。

この発明は上記のような問題点を解消するためになされたもので、半導体装置全体の最大記憶容量または機能などを高めた半導体装置を得ることを目的としている。

〔問題点を解決するための手段〕

この発明に係る半導体装置は、複数の半導体素子に設けられ絶縁材料よりなるスペーサーと、前記半導体素子に設けられた複数の電極を相互に接続する接続部材とを設けたものである。

〔作用〕

この発明における半導体装置は、絶縁材料よりなるスペーサーにより複数の半導体素子を接続することができる。

〔実施例〕

以下、この発明の一実施例を図について説明する。

第1図において(1)は半導体素子、(2)は絶縁材料で作られたスペーサー、(3)は半導体素子(1)を接続する接続部材、(4)は外部導出導体、(5)は半導体素子(1)と外部導出導体(4)を電気的に接続する金属細線、(6)は半導体素子(1)、スペーサー(2)、外部導出導体(4)の内部導出、および金属細線(5)を封止する樹脂である。また素子には複数の電極があり、これらは接続部材で相互に電気的に接続されている。

なお、上記実施例では、半導体素子が3層に重なっており、また第1図のような金属細線の配線になっているまたスペーサを図のような形状になっているが、この発明が適用される半導体装置の内部構造は図々の配置、形状を取り得るもので、

上記実施例に限られるものではない。また、第1図はデュアル・インラインパッケージ型のD-RAMについてであるが、これに限られるものではない。

〔発明の効果〕

以上のようにこの発明によれば、パッケージ内部で半導体素子と絶縁材料よりなるスペーサーを層状に重ねるように構成したので、最大記憶容量または機能などが高まり、実装密度が高まるという効果がある。

4. 図面の簡単な説明

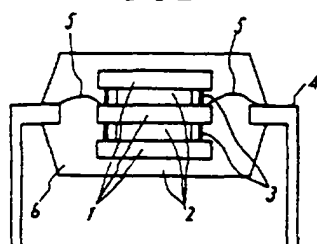
第1図はこの発明の一実施例によるD-RAM半導体装置を示す側断面図、第2図は従来のD-RAM半導体装置を示す側断面図である。

図中(1)半導体素子、(2)はスペーサー、(3)は接続部材、(4)は外部導出導体、(5)は金属細線、(6)は樹脂である。

なお、図中同一符号は同一又は相当部分を示す。

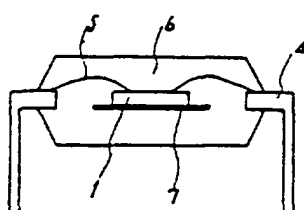
代理人 大 岩 増 雄

第1図



- 1: 半導体素子
- 2: スペーサー
- 3: 接続部材
- 4: 外部導出導体
- 5: 金属細線
- 6: 樹脂

第2図



手 続 補 正 書(自発)

63

昭和 年 月 日

特許庁長官殿

1. 事件の表示 特願昭 62-258632 号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(通研免03(213)3421特許部)

5. 補正の対象

明細書の説明の詳細な説明および図面の簡単な説明の欄

6. 補正の内容

明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
2 頁	4 行	絶縁(7)	絶縁。(7)
•	13 行	半導体装置基板	半導体装置単体
3 頁	18 行	になっている	になっている。
•	•	また	また、
•	•	スペーサーを図のよう な	スペーサーも図のよう な
4 頁	18 行	図中(i)半導体素子	図中(i)は半導体素子